

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-267413

(P2001-267413A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl.⁷

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

特開2001-267413 (参考)

L

審査請求 有 請求項の数10 OL (全 7 頁)

(21) 出願番号 特願2001-55173(P2001-55173)

(22) 出願日 平成13年2月28日 (2001.2.28)

(31) 優先権主張番号 0.9/520502

(32) 優先日 平成12年3月8日 (2000.3.8)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 チャング・ホン・ラム

アメリカ合衆国 05495 バーモント州
ウィリントン アスター レーン 61

(74) 代理人 100086243

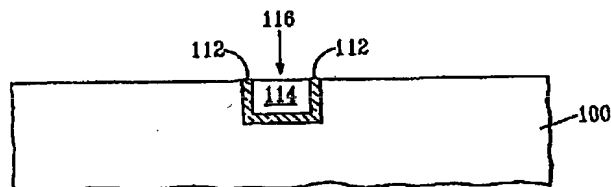
弁理士 坂口 博 (外2名)

(54) 【発明の名称】 実質的に平坦なトレンチ分離領域を有する半導体デバイス及びその製造方法

(57) 【要約】

【課題】 S T I 領域の角部にディボットを含まない平坦な S T I 領域が形成される半導体デバイスの製造方法を提供する。

【解決手段】 (a) 基板の表面上に積層膜を形成する工程を含み、積層膜は、酸化物層、ポリシリコン層、および窒化物層からなり、(b) 基板内に、トレンチを形成するために、積層膜をパターニングする工程を含み、パターニングは、酸化物層、ポリシリコン層、および窒化物層の側壁を露出し、(c) トレンチ内と、酸化物層およびポリシリコン層の露出された側壁上とに、コンフォーマルな酸化物層を熱成長させるために、トレンチと、酸化物層およびポリシリコン層の露出された側壁とを酸化する工程と、(d) トレンチをトレンチ誘電体材料で充填する工程と、(e) 基板の表面まで平坦化する工程とを含む。



1

【特許請求の範囲】

【請求項1】半導体デバイスの製造方法において、実質的に平坦なトレンチ分離領域を設ける方法であって、

(a) 基板の表面上に、積層膜を形成する工程を含み、前記積層膜は、酸化物層、ポリシリコン層、および窒化物層からなり、(b) 前記基板内に、少なくとも1つのトレンチを形成するために、前記積層膜をパターンニングする工程を含み、前記パターンニングは、前記酸化物層、ポリシリコン層、および窒化物層の側壁を露出し、

(c) 前記トレンチ内と、前記酸化物層および前記ポリシリコン層の前記露出された側壁とにコンフォーマルな酸化物層を熟成長させるために、前記少なくとも1つのトレンチと、前記酸化物層および前記ポリシリコン層の前記露出された側壁とを酸化する工程と、(d) 前記トレンチを、トレンチ誘電体材料で充填する工程と、(e) 前記基板の前記表面まで平坦化する工程とを含む、方法。

【請求項2】前記基板は、Si、Ge、SiGe、GaAs、InAs、InP、または層状の半導体よりなり、請求項1に記載の方法。

【請求項3】前記酸化する工程は、酸素含有雰囲気内で、約800℃以上の温度で約30分以内の時間行われる、請求項1に記載の方法。

【請求項4】前記熟成長された酸化物層は、約10～約30nmの厚さを有する、請求項1に記載の方法。

【請求項5】前記トレンチ誘電体材料は、テトラエチルオルトシリケート(TEOS)、SiO₂、または流動性酸化物である、請求項1に記載の方法。

【請求項6】基板内に形成され、隣接する活性デバイス領域を互いに電気的に分離する、少なくとも1つの実質的に平坦化されたトレンチ分離領域を備えた半導体デバイスであって、前記平坦化されたトレンチ分離領域が、前記トレンチ分離領域の上面と前記基板の上面との間に完全な角部を有する、半導体デバイス。

【請求項7】前記基板は、Si、Ge、SiGe、GaAs、InAs、InP、または層状の半導体よりなり、請求項6に記載の半導体デバイス。

【請求項8】前記少なくとも1つの平坦化されたトレンチ分離領域は、深いトレンチ分離領域、通常深さのトレンチ分離領域、浅いトレンチ分離領域、またはそれらの組合せを有する、請求項6に記載の半導体デバイス。

【請求項9】前記少なくとも1つの平坦化されたトレンチ分離領域は、熟成長酸化物ライナーおよびトレンチ誘電体材料を含む、請求項6に記載の半導体デバイス。

【請求項10】前記トレンチ誘電体材料は、テトラエチルオルトシリケート(TEOS)、SiO₂、または流動性酸化物である、請求項9に記載の半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイスの

2

製造に関し、特に、基板内に浅いトレンチ分離(STI)領域のようなトレンチ分離領域を製造する方法に関する。トレンチ分離領域は、実質的に平坦であり、トレンチ分離/基板の完全な(rounded)角部を含む。本発明は、完全な角部を形成することによって、トレンチ分離/基板の角部におけるディボット(divot)の形成を実質的に排除する。従って、本発明の方法は、ポリシリコン・レールの形成を阻止し、トランジスタの早期ターンオン特性を減少する。

【0002】

【従来の技術】半導体デバイスの製造において、デバイス内に存在する種々の活性領域を互いに電気的に分離する分離領域を形成することは、周知である。活性デバイス領域を電気的に分離する1つの方法は、隣接するデバイス間にトレンチ分離領域を形成することである。このような従来のトレンチ分離領域は、典型的には、基板内に形成され、SiO₂のような誘電体材料で充填されたトレンチを有する。

【0003】浅いトレンチ(深さが、約1μmより浅いトレンチ)、通常深さのトレンチ(深さが、約1～約3μmであるトレンチ)、深いトレンチ(深さが3μmより深いトレンチ)を含む3種類のトレンチ分離領域が知られている。半導体デバイスのサイズが、絶えず縮小するにつれて、STI(浅いトレンチ分離)領域を用いることに、より大きな関心が持たれている。

【0004】従来技術は、基板内にSTI領域を形成する際に用いることができる多くの異なる方法を開示している。このような従来の方法の1つを、図1～図5に示す。特に、図1は、Siのような半導体基板12を含むウエハ片10を示し、基板12の上には、酸化物層14、窒化物層16、およびパターンニングされたフォトレジスト18が形成されている。このような構造は、通常の付着工程を用いて形成され、パターンニングされたフォトレジストは、通常のリソグラフィによって、例えば、フォトレジストを設け、フォトレジスト内にパターンを形成するためにフォトレジストを放射線に露光し、パターンを現像することによって形成される。

【0005】図2では、パターンニングされたフォトレジスト18が、続くエッチング・プロセスの際のマスクとして用いられる。従って、エッチングの際には、窒化物層16、酸化物層14、および半導体基板12のマスクされていない部分が、ドライエッチング・プロセス、すなわち反応性イオンエッチング(RIE)を用いて除去され、基板内にトレンチ20を形成する。

【0006】次に、図3に示すように、パターンニングされたフォトレジストが、通常の剥離プロセスを用いて除去され、その後、酸化物層(または、他のトレンチ誘電体材料)24が、窒化物層上およびトレンチ内に付着される。トレンチ充填に続いて、酸化物層24が、化学機械研磨(CMP)または研削のような通常の平坦化プロ

3

セスを用いることによって、窒化物層16の上面17まで平坦化される(図4を参照されたい)。平坦化プロセスは、トレンチ内に酸化物プラグ26を形成する。また、図4に示すように、酸化物プラグ26は、上面17と実質的に同一平面上に延びている上面28を有する。また、プラグは、側壁33と、側壁33が上面28につながる上側の角部34とを有する。

【0007】理想的には、プラグの上面は、平坦である、すなわち、平らな表面を有する。また、理想的には、プラグの角部は、90°の角度からなり、従って、実質的に直角である。しかし、用いられる平坦化プロセスの実際の制限により、これら理想的な対象物が形成されることはない。図4に示すように、上面28は、平らではなく、凹面形であり、分離領域の角部は、直角ではない。

【0008】幾つかのケースでは、プラグ26の、STI領域の角部の部分は、除去され、ディボット30の形成を生じる(図5を参照されたい)。STIの角部のこれらディボットは、層14および層16が除去されても存在するであろう。STI/基板の角部のディボットの存在は、不所望である。というのは、ディボットは、ポリシリコン・レールのような不所望な構造と、デバイスの早期ターンオン特性とを生じるからである。これらの欠点のため、STI/基板の角部のディボットを取り除く方法が、絶えず求められている。

【0009】しかしながら、今日まで、STIと基板との間の角部の領域にディボットを含まない平坦なSTI領域を与えることができる方法は、開発されていなかった。STI領域の角部にディボットを含まない平坦なSTI領域を製造できる方法の開発は、技術の著しい進歩を示すであろう。というのは、この方法は、構造の角部のスレショルド電圧の制御を改善し、様々なロジックおよびメモリの応用に使用するのに適した構造を作製するからである。さらに、このような方法は、ポリシリコン・レールの存在を実質的に排除し、デバイスの早期ターンオン特性を減少するので、有用である。

【0010】

【発明が解決しようとする課題】本発明の目的は、STI領域の角部にディボットを含まない平坦なSTI領域が形成される半導体デバイスの製造方法を提供することである。

【0011】

【課題を解決するための手段】本発明は、トレンチ分離/基板の完全な角部を含む実質的に平坦なトレンチ分離領域が形成されている半導体構造を製造する方法を提供する。完全な角部は、ディボット形成を排除するので、本発明においては、有利である。本発明のトレンチ分離領域は、完全な角部を含むので、ポリシリコン・レールおよび他の同様の不所望な構造がなくなる。用語“トレンチ”は、深いトレンチ、通常深さのトレンチ、および

4

浅いトレンチを含むのに対して、用語“トレンチ分離領域”は、浅いトレンチ分離領域、通常深さのトレンチ分離領域、および深いトレンチ分離領域を含む。

【0012】特に、本発明の方法は、以下の工程を含む。

(a) 基板の表面上に、積層膜を形成する工程を含み、前記積層膜は、酸化物層、ポリシリコン層、および窒化物層からなり、(b) 前記基板内に、少なくとも1つのトレンチを形成するために、前記積層膜をパターンニングする工程を含み、前記パターンニングは、前記酸化物層、ポリシリコン層、および窒化物層の側壁を露出し、

(c) 前記トレンチ内と、前記酸化物層および前記ポリシリコン層の前記露出された側壁上に、コンフォーマルな酸化物層を熱成長させるために、少なくとも1つのトレンチと、前記酸化物層および前記ポリシリコン層の前記露出された側壁とを酸化する工程と、(d) 前記トレンチを、トレンチ誘電体材料で充填する工程と、

(e) 前記基板の前記表面まで平坦化する工程とを含む。

【0013】本発明はまた、基板内に少なくとも1つの実質的に平坦化されたトレンチ分離領域を含む半導体デバイスを提供し、前記平坦化されたトレンチ分離領域は、トレンチ分離/基板の角部におけるディボットの形成を実質的に排除する完全な角部を含む。

【0014】

【発明の実施の形態】次に、完全な角部を有する実質的に平坦なトレンチ分離領域を作製する方法を提供する本発明を、図面を参照してより詳細に説明する。図面の中で、同じ参照番号は、同じおよび/または対応する要素を説明するために用いられることに注意すべきである。

【0015】本発明で用いられる基本的な処理工程を示す図6～図10を参照する。以下の説明は、浅いトレンチ分離(STI)領域を形成するのに限定しているが、本発明は、トレンチ分離/基板の完全な角部を有する中間および深いトレンチ分離領域を製造する際にも有効である。また、種々のタイプのトレンチ領域の組合せも、本発明の内容に含まれる。

【0016】特に、図6は、本発明の第1の工程を行った後の、すなわち、基板の表面上に積層膜を形成した後の初期構造を含む。特に、図6に示す構造は、基板の1つの表面上に形成された積層膜102を有する基板100を備える。

【0017】基板100は、限定はされないが、Si、Ge、SiGe、GaAs、InAs、InP、および他の全てのIII族/V族の半導体化合物を含む通常の半導体材料よりなることができる。また、基板は、Si/SiGeのような層状の半導体よりなることができる。基板は、製造されるデバイスの種類に依存して、n型またはp型とすることができる。基板の表面上に積層膜を形成する前に、基板は、基板の表面上に形成される

か、あるいは基板内に形成される種々の活性領域を任意に含むことができる。

【0018】本発明で用いられる積層膜は、下部の酸化物層104、中間部のポリシリコン層106、および上部の窒化物層108からなる。また、他の材料層を、前述した種々の層の間に設けることができる。種々の材料層は、STI領域にトレンチを定める際に用いられ、従って、積層膜の種々の層は、本発明の最後の処理工程の際、すなわち平坦化の際に除去されることに注意すべきである。

【0019】積層膜102の酸化物層104は、通常の熱成長プロセスを用いて、基板100の表面上に形成され、あるいはまた、酸化物層104は、限定はされないが、化学気相付着（CVD）、プラズマCVD、スパッタリング、蒸着のような普通の付着プロセス、および他の同様の付着プロセスによって形成することができる。酸化物層104の厚さは、変えることができるが、酸化物層は、典型的には、約5～約20nmの厚さを有し、約6～約12nmの厚さが非常に好ましい。SiO₂のような酸化物含有材料を、酸化物層104として用いることができる。

【0020】ポリシリコン層106に関する限り、ポリシリコン層106は、CVD、プラズマCVD、およびスパッタリングのような普通の付着プロセスを用いて、酸化物層上に形成される。ポリシリコン層106の厚さは、変えることができるが、ポリシリコン層は、典型的には、約25～約200nmの厚さを有し、約80～約120nmの厚さが、非常に好ましい。

【0021】積層膜の窒化物層、すなわち窒化物層108は、当業者に周知の、窒化物層を形成できる通常の付着プロセスを用いることによって、ポリシリコン層106上に形成される。窒化物層108を形成する際に用いられる典型的な付着プロセスの例は、限定はされないが、CVD、プラズマCVD、スパッタリング、蒸着、および他の同様の付着プロセスを含む。窒化物層108の厚さは、変えることができるが、窒化物層108は、典型的には、約50～約300nmの厚さを有し、約100～約200nmの厚さが、非常に好ましい。Si₃N₄およびSiオキシナイトライド（Si oxynitride）のような窒化物層を形成できる材料を、本発明で用いることができる。

【0022】次に、図7に示すように、積層膜の種々の層がパターンニングされ、基板内にトレンチ110を形成する。すなわち、トレンチ・エッチの際に、積層膜内に存在する種々の層の側壁が、露出する。図面は、構造内に1つのトレンチのみの形成を示すが、本発明は、構造内に複数のトレンチを形成する際に用いることができることに注意すべきである。前述したように、本発明において形成されるトレンチは、本明細書の従来技術のセクションで説明した深さを有する、浅いトレンチ、通常深

さのトレンチ、あるいは深いトレンチとすることができる。好適な実施例では、浅いトレンチが形成される。

【0023】特に、フォトリソ（図示せず）は、通常の付着プロセスを用いて窒化物層108の露出された表面層上に形成される。次に、トレンチが形成される積層膜の選択領域を露出するために、フォトリソ層が、普通のリソグラフィを用いてパターンニングされる。本発明で用いられるリソグラフィ工程は、フォトリソト内にパターンを形成するためにフォトリソを放射線に露光する工程と、そのパターンを現像する工程とを含む。このような工程は、当業者に周知であるので、これらの工程の詳細説明は、ここでは必要としない。

【0024】次に、トレンチは、RIE、イオンビームエッチング、プラズマエッチングのような普通のドライエッチング・プロセス、または他の同様のドライエッチング・プロセスを用いて、積層膜の種々の層をエッチングすることによって形成される。また、前述したドライエッチング・プロセスの組合せを、トレンチを設ける際に用いることができる。トレンチ・エッチに続いて、パターンニングされたフォトリソが、通常の剥離プロセスによって除去され、図7に示す構造を与える。

【0025】図8に示す本発明の次の工程は、トレンチと、酸化物層104およびポリシリコン層106の露出された側壁とを酸化する工程からなり、この工程は、トレンチの側壁上に、コンフォーマルな酸化物層112を成長させ、積層膜のポリシリコン層まで（ポリシリコン層を越えない）延在させることができる条件の下で行われる。

【0026】熱成長酸化物層は、O₂、オゾン、N₂Oのような酸素含有雰囲気、および他の同様の酸素含有雰囲気内で、約800℃以上の温度で約30分以内の時間、構造を酸化することによって形成される。複数の酸素含有雰囲気の混合雰囲気もまた、意図される。より好適なコンフォーマルな酸化物層112は、約900～約1000℃の温度で約5～約10分の時間、構造を酸化することによって形成される。本発明においては、約5分以内の時間が、非常に好ましい。単一の酸化工程を用いることができ、あるいは必要ならば、酸化工程は、種々のランプ（ramp）およびソーク（soak）サイクルを含むことができる。また、本発明においては、トレンチ内でコンフォーマルな酸化物層を熱成長させることができる限り、他の温度および他の時間を用いることができる。例えば、本発明のこの工程において酸化物層を成長させる際に、通常の炉処理を用いることができる。

【0027】酸素含有雰囲気の外に、本発明はまた、酸素含有雰囲気と混合される、約90%以下のHe、Ar、またはN₂のような不活性ガスの存在を意図している。

【0028】上記所定のパラメータの下で、約10～約

30 nm、より好適には約18～約24 nmの厚さを有する熱成長酸化物層を、トレンチ内と、酸化物層104およびポリシリコン層106の露出された側壁上とに形成することができる。

【0029】次に、図9に示すように、トレンチ誘電体材料114は、限定はされないが、CVD、プラズマCVD、スパッタリング、および他の同様の付着プロセスを含む普通の付着プロセスを用いて、トレンチ内に形成される。本発明で用いることができる適切なトレンチ誘電体材料は、限定はされないが、テトラエチルオルトシリケート (TEOS), SiO_2 , 流動性酸化物, および他の同様の誘電体材料を含む。TEOSを用いると、平坦化の前に、任意の高密度化工程を用いることができる。トレンチを充填する際に用いられる付着プロセスはまた、積層膜の窒化物層上にトレンチ誘電体材料の層を形成することに注意されたい(図9を参照)。図に示す実施例では、熱成長酸化物層およびトレンチ誘電体材料は、構造のSTI領域116を形成する。トレンチの他の深さが用いられる実施例では、領域116は、前に形成されたトレンチの深さに相当するトレンチ分離領域である。

【0030】次に、図10に示すように、このようにして形成された構造は、化学機械研磨(CMP)または研削のような普通の平坦化プロセスを用いて、基板の表面まで平坦化される。従って、平坦化工程の際、積層膜の種々の層は、除去される。図10に示すように、本発明の方法は、複数のSTI/基板の角部のいずれかにおいて、いかなる実質的なディボットをも形成されない。ディボットの形成は、本発明では、実質的には排除される。なぜならば、前述したようにして形成されたコンフォーマルな酸化物層は、トレンチ誘電体材料よりも遅い速度でエッチングされるからである。エッチング速度のこの差は、STI/基板の角部におけるディボットの形成を妨げる。図10に示すように、本発明においては、完全な角部が、形成される。

【0031】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 半導体デバイスの製造方法において、トレンチ分離/基板の完全な角部を有する実質的に平坦なトレンチ分離領域を設ける方法であって、(a) 基板の表面上に、積層膜を形成する工程を含み、前記積層膜は、酸化物層、ポリシリコン層、および窒化物層からなり、

(b) 前記基板内に、少なくとも1つのトレンチを形成するために、前記積層膜をパターンニングする工程を含み、前記パターンニングは、前記酸化物層、ポリシリコン層、および窒化物層の側壁を露出し、(c) 前記トレンチ内と、前記酸化物層および前記ポリシリコン層の前記露出された側壁上とにコンフォーマルな酸化物層を熱成長させるために、前記少なくとも1つのトレンチと、前記酸化物層および前記ポリシリコン層の前記露出された

側壁とを酸化する工程と、(d) 前記トレンチを、トレンチ誘電体材料で充填する工程と、(e) 前記基板の前記表面まで平坦化する工程とを含む、方法。

(2) 前記基板は、Si, Ge, SiGe, GaAs, InAs, InP, または層状の半導体よりなる、上記(1)に記載の方法。

(3) 前記積層膜の前記酸化物層は、熱成長されるか、付着される、上記(1)に記載の方法。

(4) 前記積層膜の前記酸化物層は、化学気相成長(CVD), プラズマCVD, スパッタリング, または蒸着によって付着される、上記(3)に記載の方法。

(5) 前記積層膜の前記酸化物層は、約5～約20 nmの厚さを有する、上記(1)に記載の方法。

(6) 前記積層膜の前記酸化物層は、約6～約12 nmの厚さを有する、上記(5)に記載の方法。

(7) 前記積層膜の前記ポリシリコン層は、CVD, プラズマCVD, およびスパッタリングよりなる群から選択された付着プロセスによって形成される、上記(1)に記載の方法。

(8) 前記積層膜の前記ポリシリコン層は、約25～約200 nmの厚さを有する、上記(1)に記載の方法。

(9) 前記積層膜の前記ポリシリコン層は、約80～約120 nmの厚さを有する、上記(8)に記載の方法。

(10) 前記積層膜の前記窒化物層は、CVD, プラズマCVD, およびスパッタリングよりなる群から選択された付着プロセスによって形成される、上記(1)に記載の方法。

(11) 前記積層膜の前記窒化物層は、約50～約300 nmの厚さを有する、上記(1)に記載の方法。

(12) 前記積層膜の前記窒化物層は、約100～約200 nmの厚さを有する、上記(11)に記載の方法。

(13) 前記パターンニングする工程は、リソグラフィ工程およびエッチング工程を含む、上記(1)に記載の方法。

(14) 前記リソグラフィ工程は、フォトレジストを前記積層膜の前記窒化物層に設ける工程と、前記フォトレジストを露光によってパターンニングする工程と、前記フォトレジストのパターンを現像する工程とを含む、上記(13)に記載の方法。

(15) 前記エッチング工程は、反応性イオンエッチング(RIE), イオンビームエッチング, プラズマエッチングよりなる群から選択されたドライエッチング・プロセス、またはそれらの組合せを含む、上記(13)に記載の方法。

(16) 前記酸化する工程は、酸素含有雰囲気内で、約800℃以上の温度で約30分以内の時間行われる、上記(1)に記載の方法。

(17) 前記酸化する工程は、約900～約1000℃の温度で約5～約10分の時間行われる、上記(16)に記載の方法。

(18) 前記酸素含有雰囲気は、 O_2 、オゾン、 N_2O 、またはそれらの混合物を含む、上記(16)に記載の方法。

(19) 前記酸素含有雰囲気は、不活性ガスと混合され、前記不活性ガスが、前記混合物内に約90%以下の量存在している、上記(16)に記載の方法。

(20) 前記熱成長酸化物層は、約10～約30nmの厚さを有する、上記(1)に記載の方法。

(21) 前記熱成長酸化物層は、約18～約24nmの厚さを有する、上記(20)に記載の方法。

(22) 前記充填する工程は、CVD、プラズマCVD、およびスパッタリングよりなる群から選択された付着プロセスを含む、上記(1)に記載の方法。

(23) 前記トレンチ誘電体材料は、テトラエチルオルトシリケート(TEOS)、 SiO_2 、または流動性酸化物である、上記(1)に記載の方法。

(24) 前記トレンチ誘電体材料は、TEOSであり、前記平坦化する工程の前に高密度化工程が用いられる、上記(23)に記載の方法。

(25) 前記平坦化する工程は、化学機械研磨または研削を含む、上記(1)に記載の方法。

(26) 前記少なくとも1つのトレンチは、深いトレンチ、通常深さのトレンチ、浅いトレンチ、またはそれらの組合せである、上記(1)に記載の方法。

(27) 前記少なくとも1つのトレンチは、浅いトレンチである、上記(26)に記載の方法。

(28) 基板内に形成され、隣接する活性デバイス領域を互いに電気的に分離する、少なくとも1つの実質的に平坦化されたトレンチ分離領域を備えた半導体デバイスであって、前記平坦化されたトレンチ分離領域が、前記トレンチ分離領域の上面と前記基板の上面との間に完全な角部を有する、半導体デバイス。

(29) 前記基板は、 Si 、 Ge 、 $SiGe$ 、 $GaAs$ 、 $InAs$ 、 InP 、または層状の半導体よりなる、上記(28)に記載の半導体デバイス。

(30) 前記少なくとも1つの平坦化されたトレンチ分離領域は、深いトレンチ分離領域、通常深さのトレンチ分離領域、浅いトレンチ分離領域、またはそれらの組合せを有する、上記(28)に記載の半導体デバイス。

(31) 前記少なくとも1つの平坦化されたトレンチ分離領域は、浅いトレンチ分離領域である、上記(30)に記載の半導体デバイス。

(32) 前記少なくとも1つの平坦化されたトレンチ分離領域は、熱成長酸化物ライナーおよびトレンチ誘電体材料を含む、上記(28)に記載の半導体デバイス。

(33) 前記トレンチ誘電体材料は、テトラエチルオルトシリケート(TEOS)、 SiO_2 、または流動性酸化物である、上記(32)に記載の半導体デバイス。

【図面の簡単な説明】

【図1】STI領域を製造する際に従来の方法を用いた構造の断面図である。

【図2】STI領域を製造する際に従来の方法を用いた構造の断面図である。

【図3】STI領域を製造する際に従来の方法を用いた構造の断面図である。

【図4】STI領域を製造する際に従来の方法を用いた構造の断面図である。

【図5】STI領域を製造する際に従来の方法を用いた構造の断面図である。

【図6】STI領域を製造する際に本発明の方法を用いた構造の断面図である。

【図7】STI領域を製造する際に本発明の方法を用いた構造の断面図である。

【図8】STI領域を製造する際に本発明の方法を用いた構造の断面図である。

【図9】STI領域を製造する際に本発明の方法を用いた構造の断面図である。

【図10】STI領域を製造する際に本発明の方法を用いた構造の断面図である。

【符号の説明】

10 ウエハ

12, 100 基板

14, 24 酸化物層

16 窒化物層

17 上面(窒化物層)

18 フォトリソグ

20, 110 トレンチ

26 酸化物プラグ

28 上面(酸化物プラグ)

30 ディボット

33 側壁

34 上側の角部

102 積層膜

104 下部の酸化物層

106 中間部のポリシリコン層

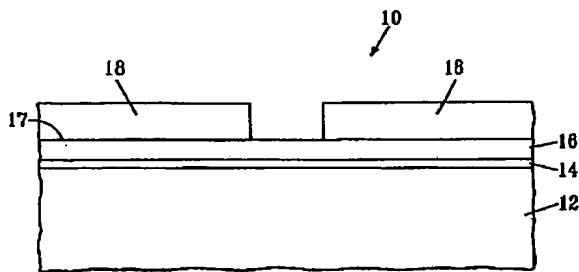
108 上部の窒化物層

112 コンフォーマルな酸化物層

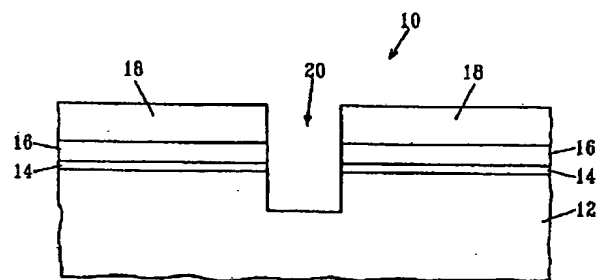
114 トレンチ誘電体材料

116 STI領域

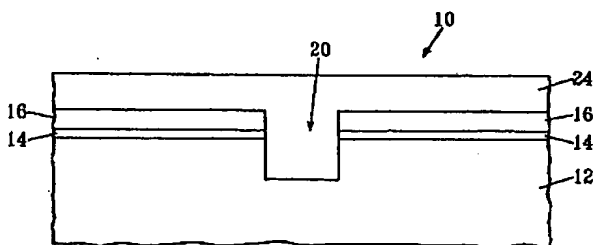
【図 1】



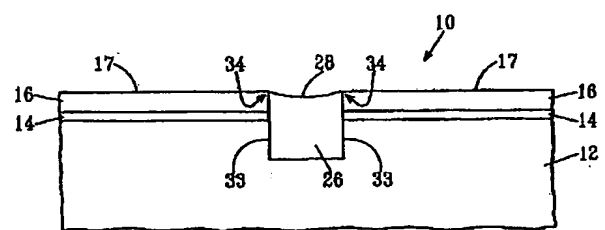
【図 2】



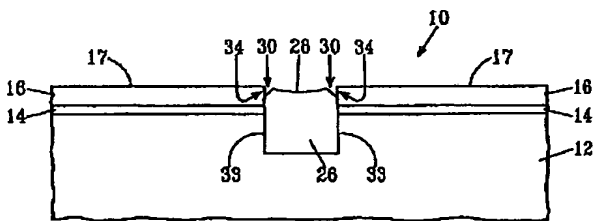
【図 3】



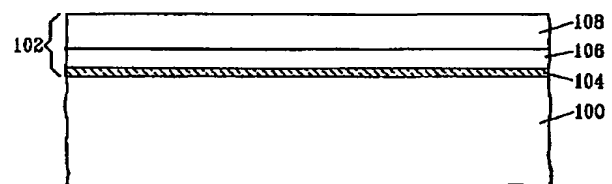
【図 4】



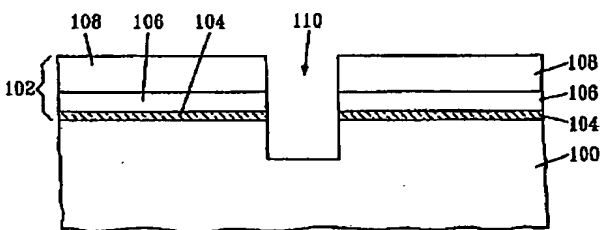
【図 5】



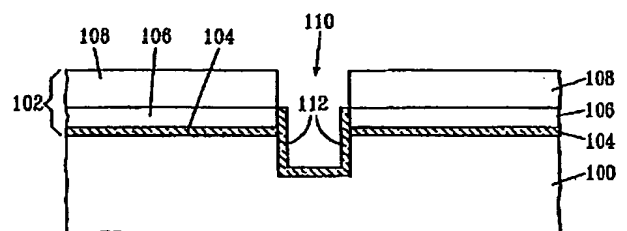
【図 6】



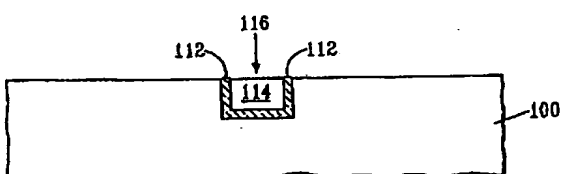
【図 7】



【図 8】



【図 10】



【図 9】

